

1c715 U.S. PTO  
10/004784  
12/07/01

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 38389 호  
Application Number PATENT-2001-0038389

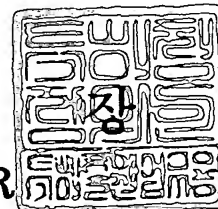
출원년월일 : 2001년 06월 29일  
Date of Application JUN 29, 2001

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.

2001 년 09 월 07 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0030
【제출일자】	2001.06.29
【발명의 명칭】	플래쉬 메모리 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a flash memory device
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	동차덕
【성명의 영문표기】	DONG, Cha Deok
【주민등록번호】	720328-1168041
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】	KR
【발명자】	
【성명의 국문표기】	박정환
【성명의 영문표기】	PARK, Jeong Hwan
【주민등록번호】	680108-1009934
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대5차아파트 501-1603
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

## 【수수료】

【기본출원료】	16	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	9	항	397,000	원
---------	---	---	---------	---

【합계】	426,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

**【요약서】****【요약】**

본 발명은 플래쉬 메모리 소자의 제조 방법에 관한 것으로, 플로팅 게이트와 콘트롤 게이트 사이에 형성되는 유전체막을 하부 산화막, 질화막 및 상부 산화막의 구조로 형성할 경우 하부 산화막을 형성한 후 질화 공정을 실시하여 하부 산화막의 하부에 질소층을 형성하고, 산소 가스를 이용한 어닐링 공정을 실시하여 질소층을 하부 산화막 표면으로 이동시켜 질화막을 형성함으로써 유전체막의 유효 두께를 감소시킬 수 있는 플래쉬 메모리 소자의 제조 방법이 제시된다.

**【대표도】**

도 1c

**【색인어】**

플래쉬 메모리 소자, 유전체막, ONO막, 질화, 산소 어닐링

## 【명세서】

## 【발명의 명칭】

플래쉬 메모리 소자의 제조 방법{Method of manufacturing a flash memory device}

## 【도면의 간단한 설명】

도 1(a) 내지 도 1(e)는 본 발명에 따른 플래쉬 메모리 소자의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도 2는 본 발명에 따른 플래쉬 메모리 소자의 유전체막을 형성하기 위한 상세 조건을 나타낸 공정도.

도 3(a) 및 도 3(b)는 본 발명에 따른 방법으로 하부 산화막을 질화시킨 후와 산소 어닐링 후의 질소 농도 분포를 나타낸 도면.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

101 : 반도체 기판    102 : 소자 분리막

103 : 터널 산화막    104 : 제 1 폴리실리콘막

105 : 하부 산화막    106 : 질소층

107 : 질화막    108 : 상부 산화막

109 : 제 2 폴리실리콘막    110 : 텅스텐 실리사이드막

## 111 : 반사 방지막

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 플래쉬 메모리 소자의 제조 방법에 관한 것으로, 특히 하부 산화막, 질화막 및 상부 산화막으로 이루어진 유전체막의 질화막을 하부 산화막을 형성한 후 질화 공정 및 산소 어닐링 공정을 실시하여 형성함으로써 유전체막의 유효 두께를 줄일 수 있는 플래쉬 메모리 소자의 제조 방법에 관한 것이다.

<12> 현재 0.18 $\mu\text{m}$  이상 고집적 플래쉬 메모리 소자의 유전체막으로 하부 산화막( $\text{SiO}_2$ ), 질화막( $\text{Si}_3\text{N}_4$ ) 및 상부 산화막( $\text{SiO}_2$ )으로 이루어진 소위 ONO막이 주로 사용된다. 이는 100Å 내외의 유효 두께(effective thickness)를 가진다. 또한, 게이트 산화막의 절연 파괴 강도 특성이 열화(degradation)되지 않는 범위내에서 ONO막의 두께를 감소시킴으로써 저전압용 소자를 구현하거나 작은 전압에서도 플래쉬 메모리 셀의 게이트를 효과적으로 제어할 수 있다.

<13> ONO막은 플로팅 게이트에서 콘트롤 게이트로 전자(electron)가 손실되는 것을 방지하는 장벽(barrier) 역할을 하는데, 이러한 장벽 역할을 수행하기 위해서는 열산화막(thermal oxide)이 가장 적합하다. 그러나, 플로팅 게이트로 사용되는 제

1 폴리실리콘막이 결정화 및 인시투 도핑되어 있는 상태이기 때문에 그레인 (grain) 및 그레인 바운더리(grain boundary)의 산화 정도 차이가 발생되므로 산화 공정을 실시할 때 성장하는 산화막의 두께를 균일하고 정확하게 제어하기 어렵다. 따라서, 현재의 기본적인 공정에서는 ONO막의 하부 산화막 및 상부 산화막으로 각각  $\text{SiH}_2\text{Cl}_2$ (DCS) 가스를 이용한 CVD 방법으로 40Å 정도의 두께로 증착한 고온산화막 (HTO)을 사용하고, 질화막으로는 LPCVD 방법으로 50~60Å 정도의 두께로 증착한  $\text{Si}_3\text{N}_4$ 막을 사용한다. 그리고, 계면 특성 안정화와 포획 전하(trap charge)를 제거하기 위하여 습식 산화 방식의 스팀 어닐(steam anneal)을 실시한다.

<14>       상기와 같이 ONO막은 전체 두께가 중요한데, 디자인롤이 작아질수록 작은 유효 두께를 가지는 ONO막의 증착의 필요성이 커지고 있다. 그러나, ONO막은 세 개의 막으로 구성되기 때문에 두께 감소 및 비율 변화 마진이 거의 없어 두께를 감소시키는데 한계에 도달해 있는 실정이고, 이에 따라 누설 전류의 증가와 항복 전압의 저하를 억제하기 힘들다.

**【발명이 이루고자 하는 기술적 과제】**

<15>       따라서, 본 발명의 목적은 유전체막의 유효 두께를 감소시킬 수 있는 플래쉬 메모리 소자의 제조 방법을 제공하는데 있다.

<16> 본 발명이 다른 목적은 유전체막의 유효 두께를 감소시켜 저전압 플래쉬 메모리 소자를 용이하게 구현할 수 있는 플래쉬 메모리 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<17> 본 발명에 따른 플래쉬 메모리 소자의 제조 방법은 반도체 기판 상부에 터널 산화막 및 제 1 폴리실리콘막을 순차적으로 형성한 후 상기 제 1 폴리실리콘막 및 터널 산화막의 소정 영역을 식각하는 단계와, 전체 구조 상부에 하부 산화막을 형성하는 단계와, 질화 공정을 실시하여 상기 하부 산화막의 하부에 질소층을 형성하는 단계와, 산소 가스를 이용한 어닐링 공정을 실시하여 상기 질소층을 상기 하부 산화막의 표면으로 이동시켜 질화막을 형성하는 단계와, 전체 구조 상부에 상부 산화막을 형성하여 하부 산화막, 질화막 및 상부 산화막으로 이루어진 유전체막을 형성하는 단계와, 전체 구조 상부에 제 2 폴리실리콘막, 텅스텐 실리사이드막 및 반사 방지막을 순차적으로 형성하는 단계와, 상기 반사 방지막, 텅스텐 실리사이드막, 제 2 폴리실리콘막 및 유전체막을 패터닝하여 콘트롤 게이트를 형성하고, 제 1 폴리실리콘막 및 터널 산화막을 패터닝하여 플로팅 게이트를 형성하는 단계를 포함하여 이루어진다.

<18> 상기 하부 산화막은 810~850℃의 온도에서 DCS 가스와 N<sub>2</sub>O 또는 NO 가스를 이용하여 형성하며, 4~10 Å/min의 증착률로 35~100 Å의 두께로 형성한다.



- <19> 상기 질화 공정은 810~850℃의 온도에서 1~20 ℓ 정도의 N<sub>2</sub>O 또는 NO 가스를 반응로에 유입시켜 10~20분동안 실시하여 상기 질화층을 3~5Å의 두께로 형성하고, 상기 산소 가스를 이용한 어닐링 공정은 850~950℃의 온도에서 5~20 ℓ 정도의 산소 가스를 반응로에 유입시켜 5~20분간 실시한다.
- <20> 상기 상부 산화막은 810~850℃의 온도에서 DCS 가스와 N<sub>2</sub>O 또는 NO 가스를 이용하여 형성하며, 4~10Å/min의 증착률로 35~100Å의 두께로 형성한다.
- <21> 상기 제 2 폴리실리콘막은 도프트 폴리실리콘막 및 언도프트 폴리실리콘막의 이중 구조로 형성하는데, 도프트 폴리실리콘막 및 언도프트 폴리실리콘막은 4:1~ 7:1의 비율로 증착하여 형성한다.
- <22> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
- <23> 도 1(a) 내지 도 1(e)는 본 발명에 따른 플래쉬 메모리 소자의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이고, 도 2는 유전체막을 형성하기 위한 상세한 조건을 설명하기 위한 공정도이다.
- <24> 도 1(a)를 참조하면, 반도체 기판(101)의 소정 영역에 소자 분리막(102)을 형성하여 액티브 영역 및 소자 분리 영역을 확정한다. 확정된 액티브 영역의 반도체 기판(101)상에 불순물 이온 주입 공정을 실시하여 웰 영역(도시안됨)을 형성한다. 전체 구조 상부에 터널 산화막(103) 및 제 1 폴리실리콘막(104)을 순차적으로 형성한다. 제 1 마스크를 이용한 포토리소그래피 및 식각 공정을 실시하여 제 1 폴리실리콘막(104) 및 터널 산화막(103)의 소정 영역을 식각한다. 터널

산화막(103)을 형성하기 전에 반도체 기판(101)을 세정하는데, 50:1의 HF와 SC-1의 혼합 용액을 이용하거나, 100:1~300:1의 BOE와 SC-1의 혼합 용액을 이용한다. 또한, 터널 산화막(103)은 750~800℃의 온도에서 습식 산화 공정을 실시하고, 900~910℃의 온도와 5~10 ℓ의 질소(N<sub>2</sub>) 분위기에서 20~30분간 어닐 공정을 실시하여 형성한다. 상기와 같이 터널 산화막(103)을 습식 산화 공정으로 형성함으로써 반도체 기판(101)과의 계면 결함 밀도를 최소화시킨다. 한편, 제 1 폴리실리콘막(104)은 550~620℃의 온도와 0.1~1Torr의 압력에서 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>와 PH<sub>3</sub> 가스를 이용하여 형성한다. 이때, 제 1 폴리실리콘막(104)의 인(P) 농도를 1.0E20~3.0E20 atoms/cc 정도의 고농도로 하여 후속 열공정에 의해 인의 확산 및 활성화(activation)를 통한 전도성을 부여하기에 충분한 도펀트를 공급한다.

<25> 도 1(b) 및 도 2를 참조하면, 터널 산화막(103) 및 제 1 폴리실리콘막(104)이 형성된 웨이퍼를 600~700℃의 온도와 10~20 ℓ의 N<sub>2</sub> 분위기를 유지하는 반응로에 로딩시킨다(201). 5~10 ℓ의 N<sub>2</sub> 분위기에서 반응로의 온도를 810~850℃로 상승시킨 후(202) DCS와 N<sub>2</sub>O 또는 NO 가스를 이용한 LPCVD 방법으로 하부 산화막(105)을 증착한다(203). 이때, 하부 산화막(105)은 4~10 Å/min의 증착률로 35~100 Å의 두께로 증착한다. 그리고, 반응로의 온도를 810~850℃로 유지한 상태에서 DCS의 유입을 중단시키고, N<sub>2</sub>O 또는 NO 가스를 10~20분동안 1~20 ℓ 정도 유입시켜 질화 공정을 실시한다(204). 이때, 증가하는 하부 산화막(105)의 두께는 3~5 Å 정도이며, 이에 의해 도 3(a)에 도시된 질소 농도 분포와 같이 하부 산화막(105)의 하부에 질소층(106)이 형성되기 때문이다. 즉, 하부 산화막(105)의 하부에 3~5 Å 정도의 두께로 질소층(106)이 형성된다.

- <26> 도 1(c) 및 도 2를 참조하면, 질화 공정을 실시한 후 질소 퍼지 공정을 실시하고 5~10 l의  $N_2$  분위기에서 반응로의 온도를 850~950℃로 상승시킨다 (205). 반응로의 온도를 상승시킨 후 산소 가스를 5~20 l 정도 유입시켜 5~20분 간 어닐 공정을 실시한다(206). 이에 의해 제 1 폴리실리콘막(104)의 표면이 산화되고, 이에 따라 질소층(106)이 하부 산화막(105)의 상부로 이동되어 도 3(b)에 도시된 바와 같이 질화막(107)이 형성된다.
- <27> 도 1(d) 및 도 2를 참조하면, 5~10 l  $N_2$  분위기에서 반응로의 온도를 810~850℃로 하강시킨 후(207) DCS 가스와  $N_2O$  또는 NO 가스를 이용한 LPCVD 방법으로 상부 산화막(108)을 35~100Å의 두께로 형성한다(208). 그리고, 반응로의 온도를 600~700℃로 하강시킨 후(209) ONO 유전체막이 형성된 웨이퍼를 반응로에서 언로딩시킨다(210).
- <28> 도 1(e)를 참조하면, 전체 구조 상부에 제 2 폴리실리콘막(109) 및 텅스텐 실리사이드막(110)을 순차적으로 형성하고, 반사 방지막(111)을 형성한다. 제 2 폴리실리콘막(109)은 530~550℃의 온도와 0.1~1Torr의 압력에서 LPCVD 방법에 의해 형성한다. 한편, 제 2 폴리실리콘막(109)을 도프트 폴리실리콘막 및 언도프트 폴리실리콘막의 이중 구조로 형성할 수 있다. 이때, 도프트 폴리실리콘막과 언도프트 폴리실리콘막의 증착 비율이 4:1~7:1이 되도록 하고 전체 두께가 500~1000Å이 되도록 형성한다. 이렇게 하면, 텅스텐 실리사이드막(110)이 증착될 때 유전체막에 치환고용되어 산화막의 두께를 증가시킬 수 있는 불소(F)의 확산을 방지할 수 있다. 이중 구조로 제 2 폴리실리콘막을 형성할 경우 인시투로 형성하는데,  $SiH_4$  또는  $Si_2H_6$ 와  $PH_3$  가스를 이용하여 도프트 폴리실리콘막을 형성

하고, 이후  $\text{PH}_3$  가스의 유입을 중단하고  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  가스만을 유입시켜 언도프트 폴리실리콘막을 형성한다. 그리고, 텅스텐 실리사이드막(109)은 낮은 불소(F) 함유량(content)과 낮은 포스트 어닐 스트레스(post anneal stress), 좋은 접착 강도를 갖는 DCS와  $\text{WF}_6$ 의 반응을 이용하여  $300\sim 500^\circ\text{C}$ 의 온도에서 적절한 스텝커버리지를 구현하며, 화학양론적비를 2.0~2.8 정도로 형성하여 면저항(sheet resistance)을 최소화시킬 수 있도록 한다. 또한, 반사 방지막(111)은 산화질화막 또는 질화막으로 형성한다. 그리고난 후 제 2 마스크를 이용한 포토리소그래피 공정으로 반사 방지막(111), 텅스텐 실리사이드막(110) 및 제 2 폴리실리콘막(109)을 패터닝하여 콘트롤 게이트를 형성하고, 계속적인 식각 공정으로 상부 산화막(108), 질화막(107), 하부 산화막(105), 제 1 폴리실리콘막(104) 및 터널 산화막(103)을 식각하여 플로팅 게이트를 형성한다. 이에 의해 플로팅 게이트, ONO 유전체막 및 콘트롤 게이트가 적층된 스택 게이트가 형성되고, 이후 불순물 이온 주입 공정에 의해 소오스 및 드레인이 형성되어 스택 게이트형 플래쉬 메모리 셀이 형성된다.

#### 【발명의 효과】

<29> 상술한 바와 같은 본 발명에 의하면 ONO막의 두께를 감소시킬 수 있어 효과적으로 게이트를 제어할 수 있으며, 이에 따라 저전압 플래쉬 메모리 소자를 용이하게 구현할 수 있다. 또한, 산소 어닐 공정으로 형성된 질화막은 하부 산화막 내에서 낮은 질소 농도 파일 업(pile up)으로 기존의 ONO막 형성 공정에 비해 낮은 전자 포획 밀도를 기대할 수 있어 소자의 동작 특성을 향상시킬 수 있다. 그

리고, 우전체막 형성 및 스팀 어닐 공정을 단한번의 공정으로 대체할 수 있으므로 원가 절감 및 양산성 확보에 유리하다.

## ·【특허청구범위】

## 【청구항 1】

반도체 기판 상부에 터널 산화막 및 제 1 폴리실리콘막을 순차적으로 형성한 후 상기 제 1 폴리실리콘막 및 터널 산화막의 소정 영역을 식각하는 단계와,

전체 구조 상부에 하부 산화막을 형성하는 단계와,

질화 공정을 실시하여 상기 하부 산화막의 하부에 질소층을 형성하는 단계와,

산소 가스를 이용한 어닐링 공정을 실시하여 상기 질소층을 상기 하부 산화막의 표면으로 이동시켜 질화막을 형성하는 단계와,

전체 구조 상부에 상부 산화막을 형성하여 하부 산화막, 질화막 및 상부 산화막으로 이루어진 유전체막을 형성하는 단계와,

전체 구조 상부에 제 2 폴리실리콘막, 텅스텐 실리사이드막 및 반사 방지막을 순차적으로 형성하는 단계와,

상기 반사 방지막, 텅스텐 실리사이드막, 제 2 폴리실리콘막 및 유전체막을 패터닝하여 콘트롤 게이트를 형성하고, 제 1 폴리실리콘막 및 터널 산화막을 패터닝하여 플로팅 게이트를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 하부 산화막은 810 내지 850℃의 온도에서 DCS 가스와  $N_2O$  또는 NO 가스를 이용하여 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 하부 산화막은 4 내지 10Å/min의 증착률로 35 내지 100Å의 두께로 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 질화 공정은 810 내지 850℃의 온도에서 1 내지 20ℓ 정도의  $N_2O$  또는 NO 가스를 반응로에 유입시켜 10 내지 20분동안 실시하여 상기 하부 산화막에 3 내지 5Å 정도의 질소층을 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

## 【청구항 5】

제 1 항에 있어서, 상기 산소 가스를 이용한 어닐링 공정은 850 내지 950℃의 온도에서 5 내지 20 l 정도의 산소 가스를 반응로에 유입시켜 5 내지 20분간 실시하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

## 【청구항 6】

제 1 항에 있어서, 상기 상부 산화막은 810 내지 850℃의 온도에서 DCS 가스와  $N_2O$  또는 NO 가스를 이용하여 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

## 【청구항 7】

제 1 항에 있어서, 상기 상부 산화막은 4 내지 10 Å/min의 증착률로 35 내지 100 Å의 두께로 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

## 【청구항 8】

제 1 항에 있어서, 상기 제 2 폴리실리콘막은 도프트 폴리실리콘막 및 언도프트 폴리실리콘막의 이중 구조로 형성하는 것을 더 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

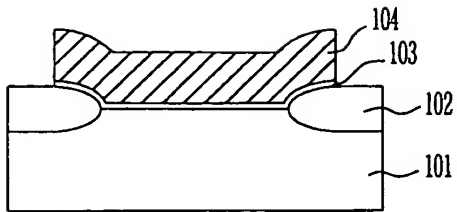


**【청구항 9】**

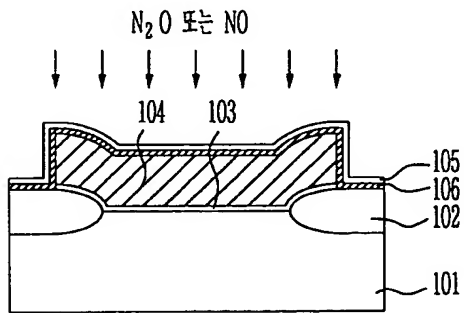
제 8 항에 있어서, 상기 도프트 폴리실리콘막 및 언도프트 폴리실리콘막은 4:1 내지 7:1의 비율로 증착하여 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 제조 방법.

【도면】

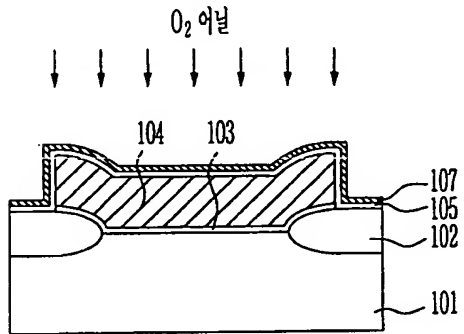
【도 1a】



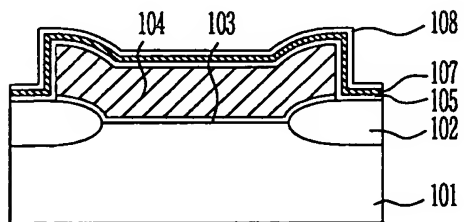
【도 1b】



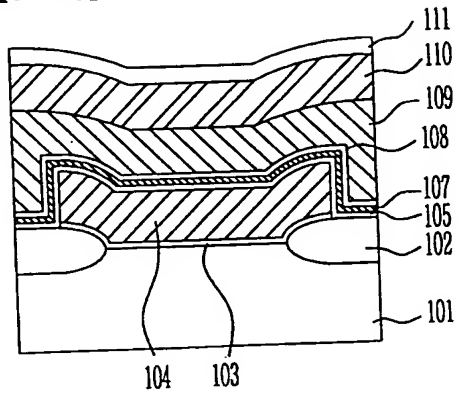
【도 1c】



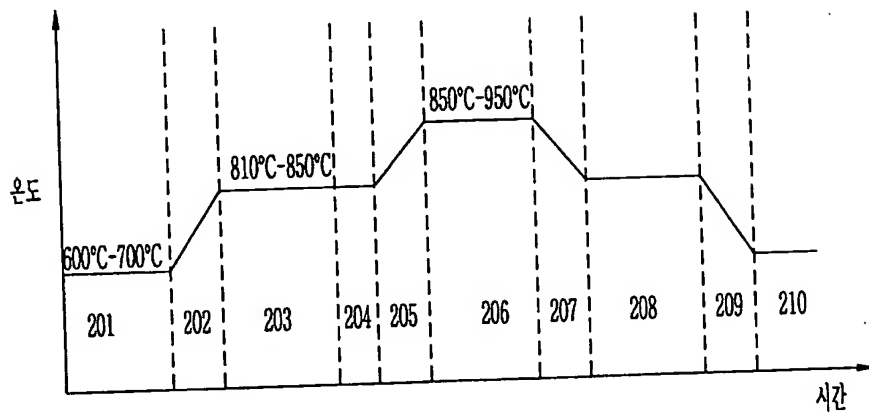
【도 1d】



【도 1e】



【도 2】



【도 3】

